



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010068233 (43) Publication Date. 20010723

(21) Application No.1020000000042 (22) Application Date. 20000103

(51) IPC Code:
H01L 21/60

(71) Applicant:
SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:
KIM, BYEONG SU
LEE, CHANG HUN

(30) Priority:

(54) Title of Invention
METHOD FOR FORMING SOLDER BUMP IMPROVING UBM UNDERCUT

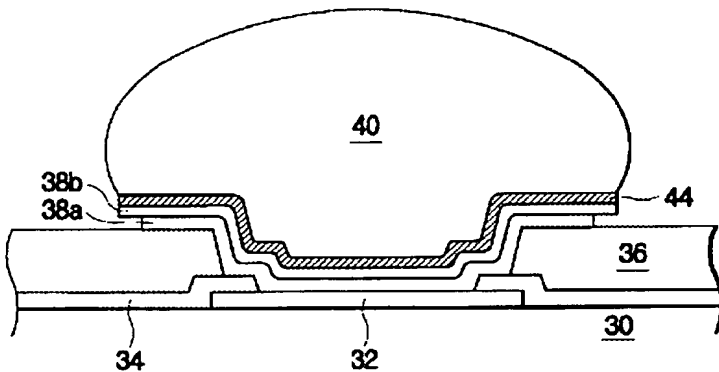
Representative drawing

(57) Abstract:

PURPOSE: A method for forming a solder bump improving UBM(Under Bump Metallurgy) undercut is provided to improve the reliability of a bump by maximizing a contact area between a UBM and a solder bump or a UBM and a buffer layer.

CONSTITUTION: A UBM(38a,38b) is formed on a semiconductor chip(30) and a chip pad(32). A photoresist pattern is formed on the UBM(38a,38b). A solder bump(40) is formed on the UBM(38a,38b) exposed through the photoresist pattern. The photoresist pattern is removed. An intermetallic compound layer(44) is formed on a boundary between the solder bump(40) and the UBM(38a,38b) by heating the solder bump(40). The UBM(38a,38b) is etched by using the intermetallic compound layer(44) as a mask. A reflow process for the solder bump(40) is performed.

COPYRIGHT 2001 KIPO



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶	(11) 등록번호	10-0319813	
H01L 21 /60	(24) 등록일자	2001년 12월 21일	
(21) 출원번호	10-2000-0000042	(65) 공개번호	특2001-0068233
(22) 출원일자	2000년 01월 03일	(43) 공개일자	2001년 07월 23일
(73) 특허권자	삼성전자 주식회사 경기 수원시 팔달구 매탄3동 416		
(72) 발명자	김병수 경기도수원시팔달구매탄3동990주공2단지114동305호 이창훈 경기도안산시성포동583번지에술인아파트8동1204호		
(74) 대리인	윤동열, 이선희		
심사관 : 송원선			
(54) 유비엠 언더컷을 개선한 솔더 범프의 형성 방법			

요약

본 발명은 솔더 범프의 형성 방법에 관한 것으로서, 리플로우하기 전의 솔더 범프를 마스크로 하여 유비엠을 식각하는 종래기술의 경우 범프 하부 쪽으로 언더컷이 심하게 발생하여 유비엠과 범프의 접촉면적이 감소하고 범프의 신뢰성이 저하되는 문제점들이 있기 때문에, 본 발명은 이를 해결하기 위하여 유비엠 식각 단계 전에 솔더의 용융점보다 낮은 온도로 열처리 공정을 진행하여 솔더 범프와 유비엠의 계면에 금속간 화합물 층을 형성하고 이를 마스크로 이용하여 유비엠을 식각함으로써 유비엠과 솔더 범프의 접촉면적을 최대한 확보할 수 있고 언더컷에 따른 영향을 최소화할 수 있는 솔더 범프의 형성 방법을 제공한다.

대표도

도2d

명세서

도면의 간단한 설명

도 1a와 도 1b는 종래기술에 따른 솔더 범프의 형성 방법을 나타내는 단면도이다.

도 2a 내지 도 2d는 본 발명의 첫번째 실시예에 따른 솔더 범프의 형성 방법을 나타내는 단면도이다.

도 3은 솔더 조성비에 따른 용융점 변화를 나타내는 그래프이다.

도 4a 내지 도 4d는 본 발명의 두번째 실시예에 따른 솔더 범프의 형성 방법을 나타내는 단면도이다.

(도면의 주요 부분에 대한 부호의 설명>

10, 30, 50: 반도체 칩 (semiconductor chip)

12, 32, 52: 칩 패드 (chip pad)

14, 34: 보호막 (passivation layer)

16, 36: 완충층 (buffer layer)

18, 38, 56: 유비엠 (UBM; under bump metallurgy)

20, 40, 60: 솔더 범프 (solder bump)

42, 58: 감광막 패턴 (photoresist pattern)

44: 금속간 화합물층 (IMC; intermetallic compound layer)

62: 산화막 (oxide layer)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 구체적으로는 반도체 칩에 형성되는 솔더 범프의 형성 방법에 관한 것이다.

반도체 집적회로 소자의 고밀도화, 초집적화 추세에 따라, 반도체 칩의 크기는 갈수록 축소되고 있으며, 칩 패드(chip pad)의 피치(pitch) 또한 더욱 미세해지고 있다. 반도체 칩은 칩 패드를 통하여 외부의 다른 요소와 전기적으로 접속되는데, 이 접속 경로를 제공하기 위하여 일반적으로 와이어 본딩(wire bonding) 기술이 사용된다. 그러나, 미세 패드 피치에서는 기존의 와이어 본딩 기술을 적용하기가 곤란하다. 미세한 패드 피치로 인하여 와이어 늘어짐(sagging)이나 와이어 단락(short) 등의 문제가 발생할 수 있기 때문이다. 더욱이, 초고속 및 고성능 반도체 제품의 필요에 따라 입출력 패드의 수는 점점 증가하는 반면, 인덕턴스 특성은 보다 낮은 값이 요구되고 있기 때문에, 기존의 와이어 본딩 기술은 한계에 이르게 되었다. 따라서, 이에 대한 대안으로서 새로운 조립기술인 플립 칩(flip chip) 또는 칩 직접 실장(DCA; direct chip attach) 기술 등이 대두되고 있다.

잘 알려져 있는 바와 같이, 플립 칩 기술은 칩 패드에 솔더 범프(solder bump)를 형성하고 범프를 통하여 칩을 바로 기판에 실장하는 방법을 말한다. 이 플립 칩 기술에서 가장 중요한 공정 중의 하나는 솔더 범프의 형성 공정이다. 일반적으로 솔더 범프는 증착(evaporation) 또는 전해도금(electroplating)에 의하여 형성되는데, 증착 방법은 비교적 공정이 간단한 반면, 패드 피치가 줄어든 경우 적용하는데 한계가 있다. 따라서, 현재의 추세는 전해도금에 의하여 범프를 형성하는 것이다.

슬더 범프와 칩 패드 사이에는 소위 유비엠(UBM: under bump metallurgy)이 형성되는 것이 일반적이다. 유비엠은 통상적으로 다층구조를 이루고 있으며, 각각 접착층(adhesion layer), 확산 방지층(diffusion barrier), 슬더 퍼징층(solder-wettable layer) 등의 여러 기능을 수행한다. 유비엠과 슬더 범프를 형성하는 방법에 대한 종래기술은 매우 다양하지만, 대개의 경우 유비엠을 웨이퍼 전면에 증착하고 칩 패드 위의 유비엠 영역에 슬더 범프를 형성한 후 슬더 범프를 마스크로 사용하여 유비엠을 식각한다.

유비엠 식각 방법으로는 건식 식각(dry etching)과 습식 식각(wet etching)을 모두 적용할 수 있다. 그러나, 건식 식각의 경우 범프에 손상을 입힐 수 있고, 건식 식각의 방향성 때문에 버섯(mushroom) 형태의 범프인 경우 범프 아래의 유비엠을 완전히 식각하기 어렵다. 이러한 이유 등으로 유비엠 식각에는 건식 식각보다 습식 식각이 주로 이용되는데, 습식 식각의 경우에는 등방성 특성 때문에 유비엠의 언더컷(undercut)을 피할 수 없다. 더구나, 유비엠은 다층구조를 이루고 있기 때문에, 유비엠 상부층의 언더컷은 하부층의 식각에 영향을 미쳐 유비엠 하부층에서는 더 큰 언더컷이 발생하게 된다.

도 1은 종래기술에 따른 슬더 범프의 형성 방법을 나타내는 단면도로서, 유비엠 언더컷이 발생하는 상황을 묘사하고 있다. 도 1a를 참조하면, 반도체 칩(10)에는 칩 패드(12)가 형성되고, 칩 패드(12)를 제외한 나머지 칩 표면에 보호막(14)과 완충층(16)이 형성된다. 유비엠(18)은 칩 패드(12), 보호막(14), 완충층(16) 전면에 걸쳐 형성되며, 다층구조(18a, 18b)를 이룬다. 칩 패드(12) 부근의 유비엠(18) 상부에는 슬더 범프(20)가 형성된다.

슬더 범프(20)를 마스크로 사용하여 유비엠(18)을 식각하면, 도 1b에 도시된 바와 같이 유비엠(18)의 각 층(18a, 18b)에는 언더컷이 발생한다. 범프(20) 하부 쪽으로 유비엠(18)이 과도하게 식각되는 현상인 언더컷이 발생하게 되면, 그만큼 유비엠(18)과 범프(20), 유비엠(18)과 완충층(16) 사이의 접촉면적은 줄어들게 된다. 유비엠(18)과 범프(20)의 접촉면적 감소 현상은 범프의 최종 높이에 영향을 미치게 되는데, 후속 공정인 리플로우(reflow) 공정을 거쳐 형성되는 범프의 높이는 각각의 범프에서 발생하는 언더컷의 정도에 따라 심한 편차를 가지게 된다. 또한, 유비엠(18)과 완충층(16)의 접촉면적 감소는 범프의 전단응력(shear strength)을 저하시키는 결과를 초래한다. 이와 같은 현상들은 모두 범프의 물리적, 전기적 신뢰성을 저하시키는 요인들이며, 나아가 플립 칩 기술의 취약점 중의 하나이다.

이와 같은 문제점을 해결하기 위한 종래기술이 유럽특허 제0603296호에 개시되어 있다. 상기 종래기술에 따르면, 유비엠을 식각하기 전에 슬더 범프를 용융시켜 슬더 범프와 유비엠의 계면에 금속간 화합물층을 형성하고 이를 이용하여 유비엠을 식각한다. 그러나, 이 종래기술은 용융된 슬더 범프가 유비엠으로 흐르는 것을 방지하기 위하여 범프 사이의 유비엠 상부에 슬더 댐(dam)을 형성하여야 하기 때문에, 미세 피치의 범프 구조에는 적합하지 않으며 슬더 댐을 형성하고 제거하는 추가 공정을 필요로 한다.

한편, 슬더 댐을 형성하지 않고 유비엠 식각 전에 슬더 범프를 용융시키며, 이 때 생기는 금속간 화합물층을 마스크로 하여 유비엠을 식각하는 종래기술이 미국특허 제5,902,686호에 개시되어 있다. 이 종래기술에 따르면, 용융 슬더의 흘러내림을 방지하기 위하여 슬더 댐 대신에 범프 표면에 산화막을 형성한다. 그러나, 산화막은 슬더 범프의 표면 뿐만 아니라 유비엠(특히, 구리층)의 상부에도 생성되기 때문에, 금속간 화합물층을 형성한 후 유비엠을 식각하기 위해서는 이 산화막을 우선 제거하는 공정이 필요하다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 유비엠과 슬더 범프의 접촉면적을 증가시켜 유비엠 언더컷의 영향을 최소화할 수 있는 슬더 범프의 형성 방법을 제공하고자 하는 것이다.

본 발명의 다른 목적은 유비엠과 슬더 범프의 계면에 범프보다 면적이 큰 금속간 화합물층을 형성하고 이를 마스크로 하여 유비엠을 식각함으로써 유비엠 언더컷의 영향을 최소화하고자 하는 것이다.

본 발명의 또 다른 목적은 유비엠 식각 전에 금속간 화합물층을 형성함에 있어서 슬더 댐 또는 산화막과 같은 층을 사용

하지 않고 솔더 범프의 형성 공정을 단순화하고자 하는 것이다.

발명의 구성 및 작용

이러한 목적을 달성하기 위하여, 본 발명은 유비엠 식각 단계 전에 솔더 범프의 용융점보다 낮은 온도로 열처리 공정을 진행하여 솔더 범프와 유비엠의 계면에 금속간 화합물층을 형성하고 이를 이용하여 유비엠 식각 단계를 진행하는 솔더 범프의 형성 방법을 제공한다.

이 방법에 따르면, 반도체 칩 상부면에 형성된 다수개의 칩 패드 위에 각각 솔더 범프를 형성하기 위하여, (a) 반도체 칩 상부면과 칩 패드 위에 유비엠을 형성하는 단계와; (b) 유비엠 위에 감광막 패턴을 형성하는 단계와; (c) 감광막 패턴을 통하여 노출된 유비엠 위에 솔더 범프를 형성하는 단계와; (d) 감광막 패턴을 제거하는 단계와; (e) 솔더 범프의 용융점보다 낮은 온도에서 솔더 범프에 열을 가하여 솔더 범프와 유비엠 사이의 계면에 금속간 화합물층을 형성하는 단계와; (f) 금속간 화합물층을 마스크로 하여 유비엠을 식각하는 단계; 및 (g) 솔더 범프를 리플로우하는 단계를 포함한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 도면을 통틀어 동일한 도면부호는 동일한 구성요소를 나타낸다.

도 2는 본 발명의 첫번째 실시예에 따른 솔더 범프의 형성 방법을 나타내는 단면도이다. 도 2a를 참조하면, 반도체 칩(30)에는 칩 패드(32)가 형성되고, 칩 패드(32)를 제외한 나머지 칩 표면에 보호막(34)과 완충층(36)이 형성된다. 도면에는 반도체 칩(30)의 극히 일부에 대해서만 나타내었으나, 본 발명이 속하는 기술분야에 잘 알려져 있듯이, 반도체 칩(30) 상부면에는 다수개의 칩 패드(32)들이 형성되고, 또한 다수개의 반도체 칩(30)이 하나의 웨이퍼(wafer)를 구성하고 있음은 자명한 사실이다. 아울러, 웨이퍼 상태에서 일괄적으로 솔더 범프(40)가 형성되는 것이 일반적이며, 이 또한 주지의 사실이다. 칩 패드(32)는 알루미늄과 같은 금속으로 이루어지며, 산화막 또는 질화막이 보호막(34)을 형성한다는 것도 잘 알려진 사실이다.

완충층(36)은 폴리이미드(polyimide), 벤조사이클로부텐(benzocyclobutene; BCB), 폴리벤조옥사졸(polybenzoxazole; PBO), 에폭시(epoxy) 등과 같은 중합체 물질(polymer)로 이루어지며, 응력 완충과 전기 절연의 기능을 한다. 완충층(36)은 통상적인 스프인 코팅(spin coating) 방법 등에 의하여 형성될 수 있으며, 약 5 μ m 정도의 두께를 갖는다.

유비엠(38)은 외부로 노출된 칩 패드(32), 보호막(34), 완충층(36) 전면에 걸쳐 형성되며, 일반적인 박막 증착 방법(sputtering 또는 evaporation)이 사용된다. 본 실시예의 유비엠(38)은 크롬층(38a)과 구리층(38b)으로 구성된 다층구조를 갖는다. 그러나, 경우에 따라서는 크롬(Cr)과 구리(Cu) 이외의 다른 금속들, 예컨대 니켈(Ni), 티타늄(Ti), 텅스텐(W), 바나듐(V), 팔라듐(Pd), 알루미늄(Al), 금(Au) 등의 금속이나 그 합금들도 유비엠(38)으로 사용할 수 있으며, 이는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 사실이다. 본 실시예에서 크롬층(38a)은 접착층과 확산 방지층의 역할을 하며 약 0.1 μ m의 두께로 형성된다. 솔더 리플로우시 솔더 퍼징층의 역할을 하는 구리층(38b)은 약 0.4~0.5 μ m의 두께이며, 도면에 도시되지 않았지만 크롬층(38a)과 구리층(38b) 사이에 두께가 약 0.1~0.2 μ m인 크롬/구리 혼합층(phased chromium/copper layer)이 형성된다. 유비엠(38)은 솔더 범프를 도금할 때 도금 전극을 제공하는 역할도 한다.

솔더 범프(40)를 도금하기 위하여 먼저 감광막 패턴(42)을 형성한다. 감광막 패턴(42)은 통상적인 사진 공정(photolithography)을 통하여 형성할 수 있다. 감광막 패턴(42)의 두께는 대략 60 μ m이며, 감광막 패턴(42) 사이로 노출되는 유비엠(38)의 폭은 약 120~130 μ m이다. 감광막 패턴(42) 사이로 유비엠(38) 상부에 도금되는 솔더 범프(40)의 높이는 약 70~100 μ m이다.

솔더 범프(40)의 도금이 끝나면, 도 2b에 도시된 바와 같이 감광막 패턴을 제거한 후 유비엠(38)을 식각하기 전에 열처리 공정을 진행한다. 열처리 온도는 솔더 범프(40)의 용융 온도보다 약간 낮게 설정한다. 솔더의 용융점보다 낮은 온도로 범프(40)에 열을 가하기 때문에, 범프(40)는 용융되거나 그 형태가 바뀌지 않는다. 따라서, 종래기술에서와 같이 솔더

덴이나 산화막을 추가로 형성하여 용융된 솔더의 흘러내림을 방지할 필요가 없으며, 이와 같은 층이나 막을 형성하고 제거하는 공정도 필요없다.

솔더 용융점은 솔더 범프(40)를 구성하는 납(Pb)과 주석(Sn)의 조성비에 따라 달라지므로, 열처리 온도 또한 솔더 조성비에 따라 달라진다. 예를 들어, 납/주석의 중량비가 95/5인 경우 용융점이 약 320℃이므로 열처리 온도는 약 300℃가 적당하고, 37/63인 경우 용융점이 약 183℃이므로 열처리 온도는 약 170℃가 적당하다. 솔더 조성비에 따른 용융점의 변화를 도 3의 그래프에 나타내었다. 한편, 열처리 시간은 약 30분에서 1시간 정도가 적당하며, 수소 분위기에서 열처리를 진행함으로써 유비엠(38)과 범프(40)의 산화를 방지한다.

상기와 같이 열처리 과정을 거치면, 솔더 범프(40)와 유비엠의 구리층(38b) 사이에 구리-주석(Cu-Sn)의 금속간 화합물층(44; intermetallic compound layer)이 형성된다. 이 금속간 화합물층(44)은 솔더 범프(40) 내의 주석 성분이 유비엠의 구리층(38b)에 확산하여 구리층 상부에 형성되는 층이다. 금속간 화합물층(44)은 유비엠(38)을 식각하는데 사용되는 화학용액에 쉽게 제거되지 않는 특성을 지니며, 솔더 범프(40)의 직경보다 약간 넓게 형성된다. 따라서, 솔더 범프(40) 대신 금속간 화합물층(44)을 식각 마스크로 사용하여 유비엠(38)을 식각하면, 범프 아래쪽에 생기는 유비엠 언더컷을 방지할 수 있다.

금속간 화합물층(44)을 마스크로 하여 유비엠(38)을 식각한 상태가 도 2c에 도시되어 있다. 도시된 바와 같이, 유비엠 언더컷이 발생하더라도 범프(40) 아래쪽까지 영향을 미치지 않는다. 그리고, 금속간 화합물층(44)의 크기를 조절하여 언더컷의 크기를 제어하는 것도 가능하다. 예를 들어 본 실시예의 경우, 금속간 화합물층(44)을 범프(40) 밖으로 약 1 μ m 만큼 더 크게 형성하여, 유비엠 하부의 크롬층(38a)에 언더컷이 발생하더라도 범프(40)보다 바깥쪽에 생기도록 한다.

유비엠(38)은 통상적인 습식 식각법에 의하여 제거된다. 구리층(38b)의 경우 사용되는 식각액은 예컨대 황산과 과산화수소수의 혼합용액이며, 크롬층(38a)에는 염산 혼합용액이, 크롬/구리 혼합층에는 염산과 과산화수소수 혼합용액이 사용된다. 전술했듯이, 금속간 화합물층(44)은 이와 같은 식각액에 잘 반응하지 않기 때문에 유비엠 식각 마스크로서 효과적으로 사용할 수 있는 것이다. 유비엠 식각이 완료되면 통상적인 솔더 범프 리플로우 공정을 진행한다. 리플로우 후 솔더 범프(40)의 최종 구조가 도 2d에 도시되어 있다.

이상 설명한 바와 같이, 유비엠(38) 식각 전에 열처리 공정을 통하여 금속간 화합물층(44)을 형성하고, 이를 마스크로 하여 유비엠(38)을 식각하기 때문에, 유비엠(38)과 솔더 범프(40), 유비엠(38)과 완충층(36) 사이의 접촉면적을 최대한 확보할 수 있으며, 언더컷에 따른 영향을 최소화하여 범프(40)의 물리적, 전기적 신뢰성을 향상시킬 수 있다.

한편, 본 발명의 두번째 실시예에 따르면, 유비엠 식각 전에 솔더 범프를 열처리하는 공정은 솔더의 용융점보다 약간 높은 온도에서 진행된다. 도 4a 내지 4d에 본 발명의 두번째 실시예에 따른 솔더 범프 형성 방법이 도시되어 있다.

도 4a를 참조하면, 반도체 칩(50)의 상부면에는 칩 패드(52)와 절연층(54)이 형성된다. 절연층(54)은 앞서 첫번째 실시예에서 설명한 보호막과 완충층을 간략하게 나타낸 것이다. 칩 패드(52)와 절연층(54) 위에는 유비엠(56)이 형성된다. 유비엠(56)은 일반적으로 다층구조를 가지지만, 도면에서는 한 개의 층으로 도시하였다. 유비엠(56) 위에는 감광막 패턴(58)이 형성되고, 감광막 패턴(58)을 통하여 노출된 유비엠(56) 위에 솔더 범프(60)가 형성된다.

이어서, 감광막 패턴(58)을 제거하고 열처리 공정을 진행한다. 이 때의 열처리 온도는 첫번째 실시예와 달리 솔더 범프(60)의 용융 온도보다 다소 높게 설정된다. 따라서, 범프(60)가 용융되기 시작하면서, 도 4b에 도시된 것과 같이 반구의 모양을 형성하게 된다. 이 때, 범프(60)가 과도하게 흘러내리는 것을 방지하고 반구 형상을 유지하기 위하여, 본 실시예에서는 절연층(54)의 높이를 수십 μ m 정도로 형성한다. 절연층(54)이 높게 형성되기 때문에, 칩 패드(52)와 절연층(54)의 표면을 따라 형성된 유비엠(56)의 단차는 매우 커지게 된다.

또한, 본 실시예에서는 감광막 패턴(58)을 제거하고 열처리 공정을 진행하기 전에 유비엠(56) 상부에 산화막(62)이 형성되도록 한다. 예를 들어 유비엠 상부층이 구리인 경우 이 산화막(62)은 자연적으로 형성된다. 산화막(62)은 범프(60) 사이의 전기적인 단락을 방지할 뿐만 아니라, 반구형 범프를 형성하는데도 도움을 준다.

이상 설명한 바와 같이, 유비엠(56)의 단차를 크게 하고, 솔더 범프(60) 바깥쪽의 유비엠(56) 상부에 산화막(62)을 형성하며, 솔더 용융점보다 높은 온도에서 열처리를 진행함으로써, 유비엠(56)과 솔더 범프(60)의 접촉면적을 확대시킬 수 있다. 즉, 범프(60)의 형상이 열처리에 의하여 반구형으로 바뀌면서, 범프(60)와 유비엠(56)과의 접촉면적은 범프(60)가 감광막 패턴(58) 내에 최초로 형성될 때보다 증가한다. 따라서, 범프(60)를 마스크로 하여 유비엠(56)을 식각할 때 유비엠(56) 언더컷이 발생하더라도, 언더컷에 의하여 감소되는 접촉면적은 범프 형상이 변화하면서 증가한 접촉면적과 상쇄되기 때문에, 언더컷에 따른 영향을 최소화할 수 있게 되는 것이다. 도 4c에 유비엠(56) 식각에 의하여 언더컷이 발생한 상태를, 도 4d에 리플로우를 거쳐 형성된 솔더 범프(60)의 최종 구조가 도시되어 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명은 유비엠과 솔더 범프, 유비엠과 완충층 사이의 접촉면적을 최대한 확보하여 언더컷에 따른 영향을 최소화하고 범프의 물리적, 전기적 신뢰성을 향상시키는 이점이 있다.

아울러, 본 발명의 첫번째 실시예는 솔더 범프의 용융점보다 낮은 온도로 열처리 공정을 진행하기 때문에, 솔더가 용융되어 유비엠으로 흘러내리는 것을 방지하기 위한 솔더 덩이 나 산화막 등이 필요없으며 이와 같은 층들을 추가로 형성하고 제거하는 공정들도 필요없다.

본 명세서와 도면에는 본 발명의 바람직한 두 가지 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 독자의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게는 자명한 것이다.

부연하자면, 실시예에서는 납/주석의 중량비가 95/5 또는 37/63인 솔더 범프를 예로 들었으나, 본 발명은 이와 같은 솔더 조성비에 한정되지 않는다. 그리고, 실시예에서는 전해도금에 의하여 솔더 범프를 형성하는 예를 설명하였으나, 볼 배치(ball placement), 스텐실 프린팅(stencil printing)과 같이 다른 방법을 사용하여 솔더 범프를 형성할 수도 있다.

또한, 실시예에서처럼 칩 패드 바로 위에 범프가 형성되지 않고, 재배선 금속층을 통하여 칩 패드와 다른 위치에 범프가 형성될 수도 있으며, 이 경우에도 본 발명은 적용 가능하다. 재배선 금속층을 이용하는 기술은, 예컨대 본 출원인의 !!! 특허출원 제1998-35175호 및 제1999-41724호 등에 자세히 개시되어 있다.

(57) 청구의 범위

청구항 1. 반도체 칩 상부면에 형성된 다수개의 칩 패드 위에 각각 솔더 범프를 형성하는 방법에 있어서,

- (a) 상기 반도체 칩 상부면과 상기 칩 패드 위에 유비엠을 형성하는 단계와;
- (b) 상기 유비엠 위에 감광막 패턴을 형성하는 단계와;
- (c) 상기 감광막 패턴을 통하여 노출된 상기 유비엠 위에 솔더 범프를 형성하는 단계와;
- (d) 상기 감광막 패턴을 제거하는 단계와;
- (e) 상기 솔더 범프의 용융점보다 낮은 온도에서 상기 솔더 범프에 열을 가하여 상기 솔더 범프와 상기 유비엠 사이의 계면에 금속간 화합물층을 형성하는 단계와;
- (f) 상기 금속간 화합물층을 마스크로 하여 상기 유비엠을 식각하는 단계; 및

(g) 상기 솔더 범프를 리플로우하는 단계;

를 포함하는 솔더 범프의 형성 방법.

청구항 2. 제 1 항에 있어서, 상기 반도체 칩 상부면에는 절연층이 형성되어 상기 칩 패드를 노출시키고, 상기 (a) 유비엠의 형성 단계는 상기 절연층과 상기 칩 패드 위에 유비엠을 형성하는 단계를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 3. 제 2 항에 있어서, 상기 절연층은 보호막과 완충층을 포함하며, 상기 보호막은 산화막 또는 질화막으로 형성되고, 상기 완충층은 폴리이미드(polyimide), 벤조사이클로부텐(benzocyclobutene; BCB), 폴리벤즈옥사졸(polybenzoxazole; PBO), 및 에폭시(epoxy) 중에서 선택된 어느 하나의 중합체 물질(polymer)로 형성되는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 4. 제 1 항에 있어서, 상기 (a) 유비엠의 형성 단계는 (a-1) 상기 반도체 칩 상부면과 상기 칩 패드 위에 제 1 금속층을 형성하는 단계와, (a-2) 상기 제 1 금속층 위에 제 2 금속층을 형성하는 단계를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 5. 제 4 항에 있어서, 상기 제 1 금속층과 상기 제 2 금속층은 각각 크롬(Cr), 구리(Cu), 니켈(Ni), 티타늄(Ti), 텅스텐(W), 바나듐(V), 팔라듐(Pd), 알루미늄(Al), 금(Au) 및 그 합금 중에서 선택된 어느 하나의 금속인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 6. 제 1 항에 있어서, 상기 (a) 유비엠의 형성 단계는 (a-1) 상기 반도체 칩 상부면과 상기 칩 패드 위에 크롬층을 형성하는 단계와, (a-2) 상기 크롬층 위에 구리층을 형성하는 단계를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 7. 제 6 항에 있어서, 상기 (e) 금속간 화합물층의 형성 단계는 상기 솔더 범프와 상기 구리층 사이의 계면에 구리-주석의 금속간 화합물층을 형성하는 단계인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 8. 제 1 항에 있어서, 상기 (c) 솔더 범프의 형성 단계는 상기 감광막 패턴을 통하여 노출된 상기 유비엠 위에 솔더 범프를 도금하는 방법을 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

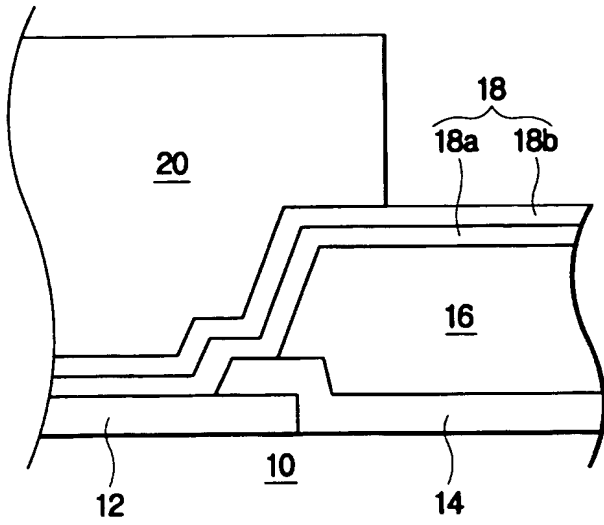
청구항 9. 제 1 항에 있어서, 상기 솔더 범프의 용융점은 약 320℃이고, 상기 (e) 단계의 금속간 화합물층은 약 300℃에서 진행하는 열처리 공정을 통하여 형성되는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 10. 제 1 항에 있어서, 상기 솔더 범프의 용융점은 약 183℃이고, 상기 (e) 단계의 금속간 화합물층은 약 170℃에서 진행하는 열처리 공정을 통하여 형성되는 것을 특징으로 하는 솔더 범프의 형성 방법.

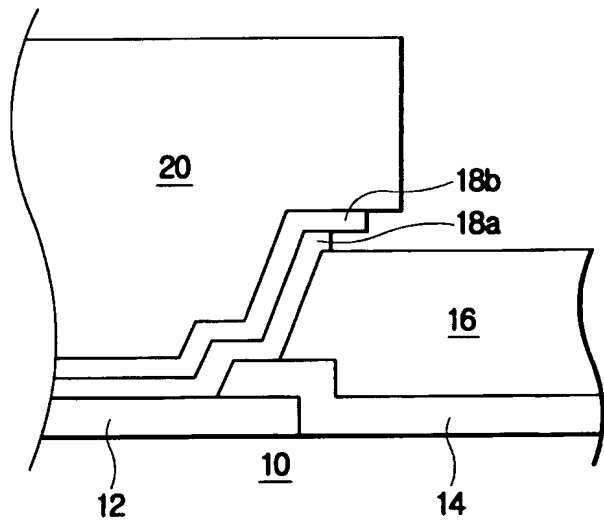
청구항 11. 제 1 항에 있어서, 상기 (e) 단계의 금속간 화합물층은 상기 솔더 범프의 직경보다 넓게 형성되는 것을 특징으로 하는 솔더 범프의 형성 방법.

도면

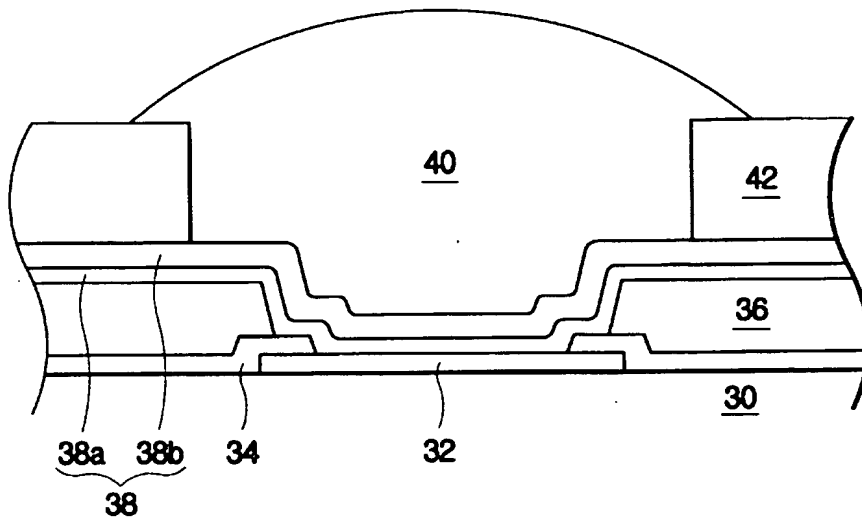
도면 1a



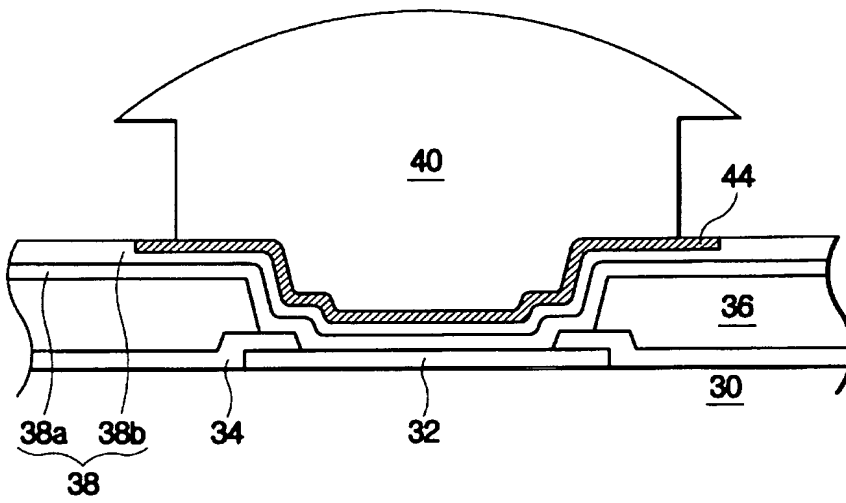
도면 1b



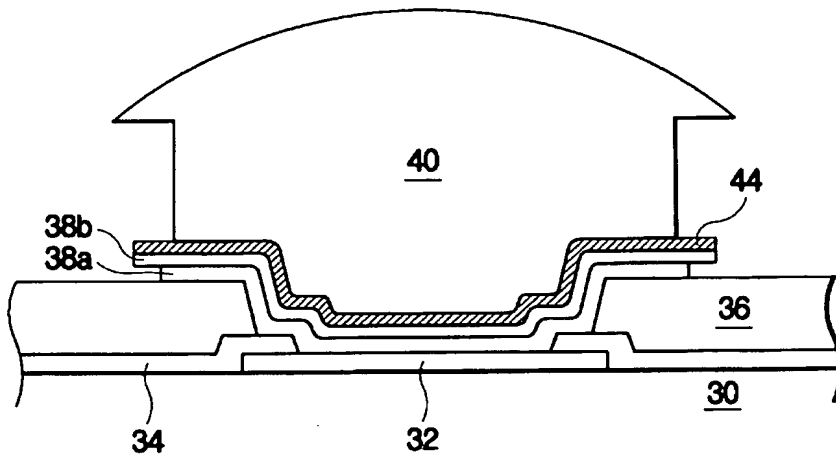
도면 2a



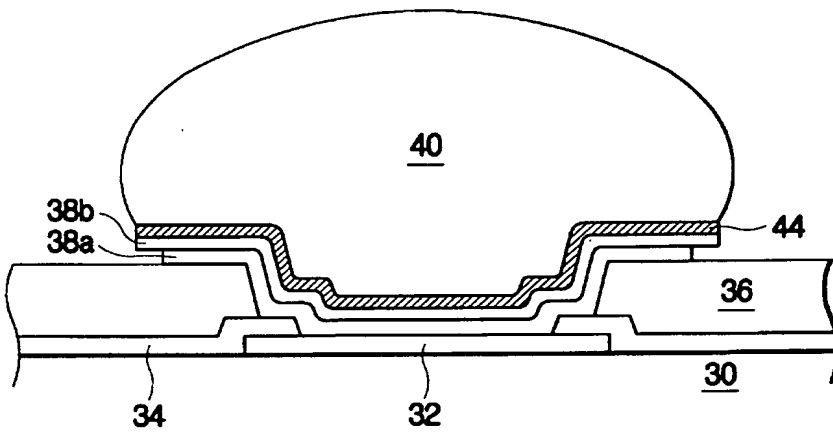
도면 2b



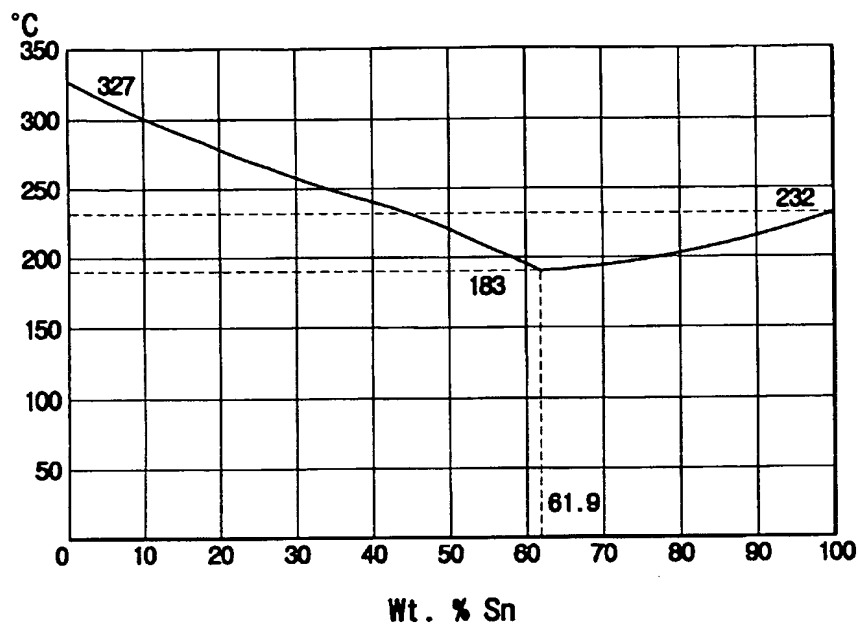
도면 2c



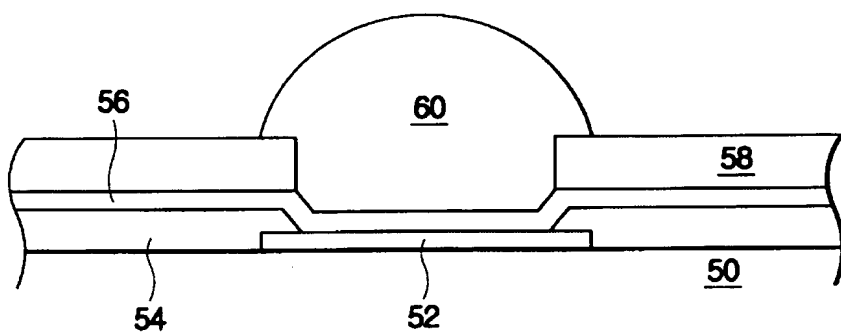
도면2d



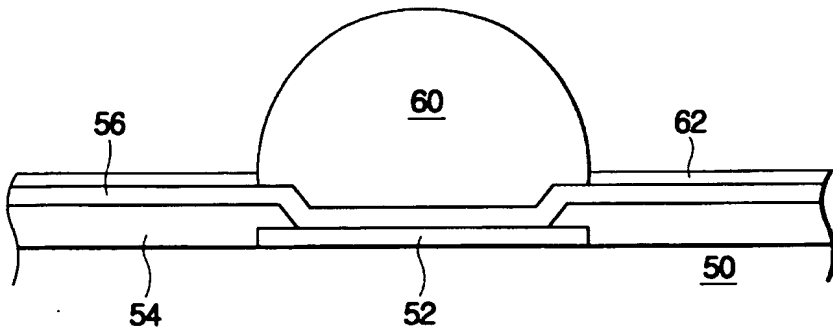
도면3



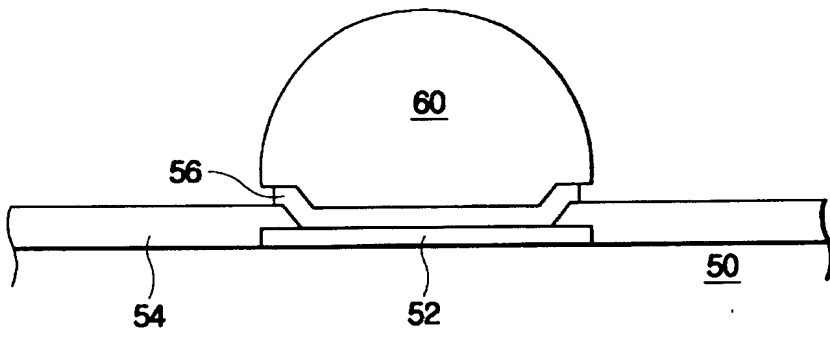
도면4a



도면4b



도면4c



도면4d

